

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-136330

⑬ Int.Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和60年(1985)7月19日
H 01 L 21/76 M-8122-5F
27/08 102 6655-5F
// H 01 L 21/20 審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 相補型金属絶縁物半導体装置の製法

⑯ 特 願 昭58-243898

⑰ 出 願 昭58(1983)12月26日

⑱ 発 明 者 野 尻 一 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 目 黒 伶 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 伊 藤 勝 彦 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 津 国 和 之 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 相補型金属絶縁物半導体装置の製法
特許請求の範囲

1. 第1導電型の半導体基体の一面に、反対導電型の第2導電型のウエルがあり、このウエルの内外に第1導電型の金属絶縁物半導体素子および第2導電型の金属絶縁物半導体素子をそれぞれ有し、かつ、ウエルの周囲部分にウエルの深さと同程度あるいはそれよりも深い縦長の絶縁物分離領域が存在する相補型金属絶縁物半導体装置を製造するに關し、次の各工程を少なくとも含むことを特徴とする相補型金属絶縁物半導体装置の製法。

(A) 第1導電型の半導体基体の一面のうち前記ウエルを形成すべき部分以外を被うマスク層を形成し、そのマスク層をエッチングに対するマスクとして前記ウエルを形成すべき部分に切り立った側壁をもつ凹部を形成する工程。

(B) この凹部の側壁に前記絶縁物分離領域を構成するための絶縁物を選択的に形成する工程。

(C) (B)工程後、凹部内に単結晶半導体を選択

的に成長させる工程。

(D) (C)工程と同時にあるいは(C)工程後、前記単結晶半導体の領域内に不純物を導入してウエルを形成する工程。

2. 前記(B)工程において絶縁物を選択的に形成する手段として、(A)工程後、前記半導体基体の一面全体に絶縁物を堆積した後、堆積した絶縁物層を異方性エッチングする手法を用いる、特許請求の範囲第1項記載の相補型金属絶縁物半導体装置の製法。

3. 前記(A)工程のマスク層を耐酸化物質によって形成し、前記(B)工程において絶縁物を選択的に形成する手段として、(A)工程後、前記マスク層を選択酸化に対するマスクとして前記側壁を含む凹部の内面に酸化膜を形成した後、その酸化膜を異方性エッチングすることによって、絶縁物としての酸化膜を前記側壁部分にのみ残す手法を用いる、特許請求の範囲第1項記載の相補型金属絶縁物半導体装置の製法。

4. 前記マスク層を(D)工程における不純物の導

入に対するマスクとして用いる。特許請求の範囲第1項記載の相補型金属絶縁物半導体装置の製法。5. 前記(A)工程の前に第1導電型の半導体基体の表面近傍に第1導電型と同一の導電型を持つ不純物を導入する工程と、この不純物を前記(A)工程終了後から前記(D)工程終了までの間の任意の時点において引き伸ばし拡散し、第1導電型のウェルを形成する工程とを含む特許請求の範囲第1項記載の相補型金属絶縁物半導体装置の製法。

発明の詳細な説明

[技術分野]

この発明は、CMOS(Complementary Metal Oxide Semiconductor)LSIを代表とした相補型金属絶縁物半導体装置の製造技術に関するもので、特に高集積化およびラッチアップ防止の上で有効な技術に関するものである。

[背景技術]

相補型金属絶縁物半導体装置では、第1導電型の半導体基体の一面に、反対導電型の第2導電型のウェルを形成し、そのウェルの内外に第1導電

型の金属絶縁物半導体素子および第2導電型の金属絶縁物半導体素子をそれぞれ形成する。このため、ウェルの内外を電気的に分離することが必要であり、従来一般には、LOCOS(Local Oxidation of Silicon)法が用いられていた。

しかし、LOCOS法による分離領域は、ラッチアップ防止のため、ウェルの周囲部分に充分な幅(たとえば、7~8 μ m程度)をもって形成せざるを得ず、高集積化する上で問題となっていた。

そこで、トレンチと称する深い溝と、その内部を埋める絶縁物とによって分離領域を構成する技術が提案された。これは、幅1 μ m、深さ5 μ m程度の溝を形成した後、その溝を二酸化シリコン等で埋める方法であり、LOCOS法において平面的に充分な距離をもった横長の分離領域に代えて、半導体基体の深さ方向に充分な距離をとった縦長の分離領域を用いるものである(以上、日経エレクトロニクス、1982年6月21日号、第146~151ページ参照)。

しかし、本発明者の検討によると、この提案方

法には、次のような問題点があることが判明した。

(1)分離領域の幅はホトリソグラフィ技術で規定されてしまい、その下限はたとえば0.8 μ m程度である。

(2)幅が狭く、深さが深い溝を形成することはきわめて困難であり、しかもまた、そうした溝内に絶縁物を埋めることも困難である。

(3)トレンチ構造を形成した後でウェルへの不純物の導入を行なうため、ウェルの形成がセルフアラインでできず、余分なマスクが必要となる。特にこの場合、溝幅が狭いことからマスク合わせがきわめて困難である。

[発明の目的]

この発明の目的は、より狭い幅をもつ縦長の絶縁物分離領域を容易に形成しうる技術を提供することにある。

この発明の別の目的は、縦長の絶縁物分離領域に対し、ウェルをセルフアラインで形成しうる技術を提供することにある。

この発明の前記ならびにその他の目的と新規な

特徴は、この明細書の記述および添付図面から明らかになるであろう。

[発明の概要]

この出願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体基体の一面のうち、ウェルを形成すべき部分に切り立った側壁をもつ凹部を選択的に形成し、CVD(Chemical Vapour Deposition)法と異方性エッチング、あるいは選択酸化と異方性エッチングの各組み合わせによって、側壁部分に絶縁物分離領域を構成するための絶縁物を選択的に形成し、その後凹部内に単結晶半導体を選択的に成長させるようにしている。これにより、絶縁物分離領域の幅は、CVD法あるいは選択酸化による膜厚で決定されるため、ホトリソグラフィ技術によることなくたとえば0.1~0.5 μ m程度ときわめて狭く形成することができる。

さらに、前記凹部形成時にエッチングに対するマスクとして用いるマスク層を、前記単結晶半導

体の領域内に不純物を導入してウエルを形成する際に、不純物導入に対するマスクとしても用いることによって、ウエルの形成をセルフアライン化することができる。

[実施例 1]

第1図～第6図はこの発明をCMOS LSIに適用した一実施例を示す工程図である。

(第1図を参照して)

第1導電型の半導体基体であるN型のシリコンウエハ1の表面に、熱酸化あるいはCVD法によって二酸化シリコン(SiO_2)膜2を形成した後、それをパターニングすることによりウエルを形成すべき部分以外を被うマスク層3を形成する。このマスク層3は次の工程でのシリコンのエッチングに対するマスク、およびそれより後の工程での選択エピタキシャル成長およびイオン打込みに対するマスクとして用いるものである。したがって、シリコンのエッチング後においても残存し、その残存したものがイオン打込みに対するマスクとして機能しうよう、適切な膜厚に設定すべきであ

る。

(第2図を参照して)

次に、マスク層3をエッチングに対するマスクとして利用して、異方性のエッチングたとえば反応性イオンエッチングによってシリコンウエハ1の表面に凹部4を形成する。異方性のエッチング処理であるため、凹部4の側壁4aは切り立ちほぼ垂直となる。この凹部4の部分には後で単結晶半導体を選択成長し、そこにP型のウエルを形成するので、凹部4のエッチング深さは、ウエルの深さと同程度あるいはそれ以上たとえば $5\mu\text{m}$ 程度とする。この凹部4の深さは、分離領域の深さを規定することになる。

(第3図を参照して)

凹部4の形成後、シリコンウエハ1の表面全体にCVD法によって SiO_2 からなる絶縁物層5を形成する。絶縁物層5は切り立った側壁4aをも完全に被うことを要する。したがって、絶縁物層5の形成にはカバレッジの良い条件、たとえば高温、低圧でのCVD法を用いるのが良い。側壁

4aの部分を被う絶縁物5が電気的な分離領域を構成することになるので絶縁物(層)5の厚さはたとえば $0.1\sim 0.5\mu\text{m}$ 程度となし、ピンホールフリーにするのが良い。

(第4図を参照して)

次に、絶縁物5を堆積したシリコンウエハ1の表面を異方性の反応性イオンエッチング処理によって、側壁4aの部分にのみ選択的に絶縁物5を残す。反応性イオンエッチングはきわめてエッチングの指向性が高いので、凹部4の底およびマスク層3上の絶縁物5のみが除去されるわけである。(第5図を参照して)

反応性イオンエッチング処理を終えると、シリコンウエハ1の表面は、凹部4の底4bのみシリコンが露出した状態になる。そこで、選択エピタキシャル成長により、凹部4内にもみ単結晶半導体であるシリコン6を成長させることができる。反応ガスとしては、ジクロロシランと塩化水素と水素との混合ガスなどを用いる。この場合、同時に第2導電型のP型不純物であるボロンをシリコ

ン6中にドーブすることによって、選択エピタキシャル成長を終えると同時にP型のウエル7を形成することができる。P型のウエル7の形成については、シリコン6の選択エピタキシャル成長後に、イオン打込みおよびそれに続く熱拡散によって形成することもできる。どちらにおいても、マスク層3がボロン導入に対するマスクとして機能するので、別段マスクを要するものではない。なお、選択エピタキシャル成長させる単結晶シリコン6の厚さはその表面がシリコンウエハ1の表面と一致するように設定する。

(第6図を参照して)

そして、マスク層3をふっ酸系の液によるウェットエッチングによって除去した後、通常のCMOSプロセスによって、ゲート酸化膜8、ポリシリコン等からなるゲート9およびP⁺型あるいはN⁺型のソース、ドレイン10s、10d; 11s、11dさらには図示しない絶縁保護膜およびアルミニウム配線を形成する。これによって、P型のウエル7の内部にNチャネルのMOSFET

12が、またウエル7の外部のN型の領域にはPチャネルのMOSFET13がそれぞれ完成する。ウエル7の周囲部分には、絶縁物5からなる幅0.1~0.5 μ m、深さ5 μ m程度の縦長の分離領域14が存在するので、寄生の縦型と横型バイポーラトランジスタに起因するラッチアップの防止上有利な構造である。

[実施例 2]

実施例1では、分離領域14をCVD法による被膜5によって形成したが、分離領域14をより緻密な熱酸化によるSiO₂によって形成することもできる。この場合、前記マスク層3を耐酸化物質たとえば窒化シリコン(Si₃N₄)によって形成し、凹部4を形成した後、そのマスク層3を選択酸化に対するマスクとして前記側壁4aを含む凹部4の内面にSiO₂酸化膜を形成してから、その酸化膜を異方性エッチングするようにすれば良い。その後の工程は、実施例1と同様である。

なおこの場合、Si₃N₄からなるマスク層3を凹部4の形成後においてもシリコンウエハ1上

に残し、その後に行なう異方性エッチングおよびイオン打込みに対するマスクとして機能させることを要する。また、この実施例2において、Si₃N₄膜3を直接シリコン基板1に被着させて熱処理(酸化)を行なうと、ストレスのためにシリコン基板1に結晶欠陥が発生しやすい。したがって、Si₃N₄膜3とシリコン基板1との間にストレス緩和のための薄いSiO₂膜を挿入することが望ましい。

[実施例 3]

実施例1および実施例2においてはP型ウエルのみを形成する、いわゆる片ウエル方式について述べたが、NチャネルMOSFET、PチャネルMOSFETの特性をそれぞれ独立に最適化したという要求からPチャネルMOSFET側にもNウエルを形成する、いわゆる両ウエル方式が採られることがある。第7図~第16図はこの両ウエル方式の実施例を示す工程図である。

(第7図を参照して)

第1導電型の半導体基体であるN型のシリコン

ウエハ1の表面にリンイオン15をイオン打込み法により導入し、N型の打込み層16を形成する。ここで、シリコンウエハ1の濃度はNウエルおよびPウエルの濃度より低くしておくことが望ましく、実施例においてはN⁻と表示した。

(第8図を参照して)

次にシリコンウエハ1の表面に熱酸化あるいはCVD法によってSiO₂膜2を形成する。なお、第7図におけるリンのイオン打込みはSiO₂膜2を形成した後に行なっても良い。次の第9図~第12図に示す工程は実施例1の第1図~第4図と同一であるため説明は省略する。なお、第10図におけるシリコンエッチングの際、P型ウエルが形成されるべき領域のリン打込み層16はエッチングにより除去される。

(第13図を参照して)

第12図の工程が終了した段階ではシリコンウエハ1の表面は凹部4の底4bのみシリコンが露出した状態になる。この状態で凹部4内に単結晶シリコン6を成長させる。この時のシリコン6の

不純物のタイプおよび濃度はシリコンウエハ1と同じで良い。

(第14図を参照して)

次にSiO₂膜3をマスクとしてシリコン6、すなわちP型ウエルとなるべき領域にボロンイオン17をイオン打込み法により導入し、P型の打込み層18を形成する。

(第15図を参照して)

次に、1100~1200℃程度の高温でN型の打込み層16およびP型の打込み層18を引き伸ばし拡散し、それぞれN型ウエル19、P型ウエル7を形成する。

(第16図を参照して)

次に実施例1と同様にNチャネルMOSFET12、PチャネルMOSFET13を形成する。

なお、上記実施例3においてはN型ウエルの引き伸ばし拡散は第15図でP型ウエルの引き伸ばし拡散と同時に進んでいるが、これは別々に行なっても良い。その場合、N型ウエルの引き伸ばし拡散は第10図でシリコンエッチングを行ない

凹部4を形成した後であれば、第15図までの工程の間どの時点で行なっても良い。

[効果]

(1)ウエルの周囲部分に位置する、縦長の絶縁物分離領域の幅を、CVD法あるいは熱酸化による膜厚で規定できるので、ホトリソグラフィ技術の制約を受けることなく、たとえば0.1~0.5 μm 程度ときわめて狭く形成することができる。したがって、分離領域の占有面積が縮小し、デバイスの高集積化をより一層図ることができる。

(2)絶縁物分離領域の深さは、ウエルを形成すべき部分のエッチング深さで決まるので、従来のトレンチ構造に比べて、深い分離領域を比較的容易に形成することができる。

(3)ウエルを形成すべき部分のエッチングに対するマスク層を、選択成長による単結晶半導体内に不純物を導入してウエルを形成する際に、不純物導入に対するマスクとして用いることができ、それによってウエルの形成をセルフアライン化することができる。

せれば容易に制御できる。不純物ガスとしてはジボラン B_2H_6 を用いれば良い。

ウエルの不純物濃度分布は、第17図に示すようにするのが良い。すなわち、ウエルの内部がその表面より不純物濃度が高くなるようにする。これによって寄生トランジスタによるラッチアップ(サイリスタ現象)を防止できる。この不純物濃度分布は、前述のように、容易に実現し得る。ウエルの表面にウエルと反対導電型の不純物を導入し、表面のキャリア濃度を下げると移動度が下がってしまうが、このような方法によらなくても良い。MeVオーダーの高加速エネルギーのイオン打込みによる方法は困難であるが、この方法による必要もない。

[利用分野]

この発明は、CMOSを代表とした相補型の金属絶縁物半導体装置、特に高集積かつ高性能のデバイスに適用して大きな効果を得ることができる。図面の簡単な説明

第1図~第6図はこの発明の一実施例を工程順

以上この発明を実施例に基づき具体的に説明したが、この発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、絶縁物層5をCVD法によって形成する場合、側壁4aを含む凹部内面を熱酸化して20~50nm程度の薄い緻密な SiO_2 膜を形成した後にCVD法によって SiO_2 等の絶縁物層5を形成しても良い。こうすることにより、CVD法による絶縁物層5のみの場合に比較して絶縁耐圧を向上させることができる。また、半導体基体1をP型とし、ウエル7をN型としても良い。さらに、半導体基体1としては、シリコンウエハのほか基板上にエピタキシャル層を有するエピタキシャルウエハなどをも用いることができる。

さらにまた、実施例1~3において、選択的なエピタキシャル成長によって形成されたウエルの不純物濃度分布を任意の分布に制御できる。キャリアガスおよびシリコンを堆積するための主反応ガスに対する不純物ガスの割合を連続的に変化さ

に示す断面図。

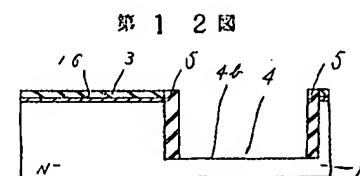
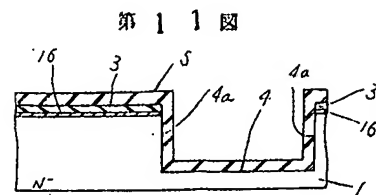
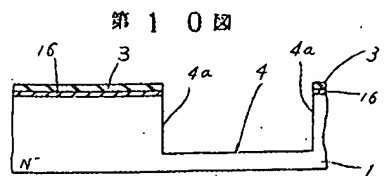
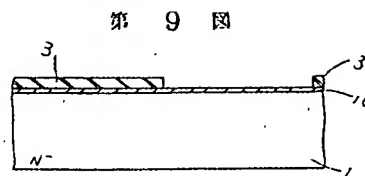
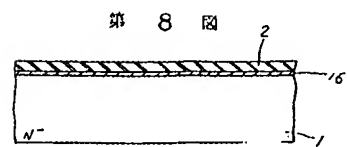
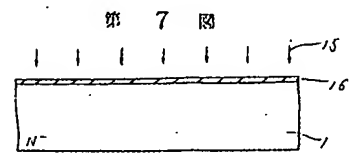
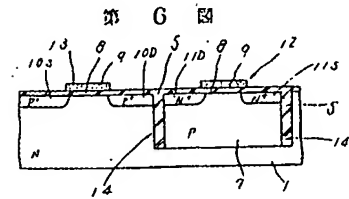
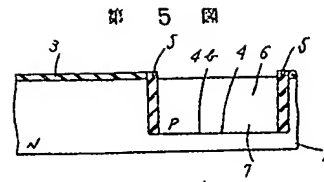
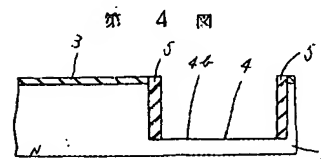
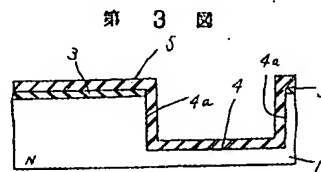
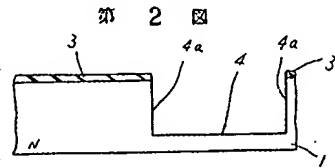
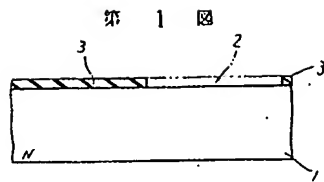
第7図~第16図はこの発明の他の実施例を工程順に示す断面図。

第17図は不純物濃度の分布を示す図である。

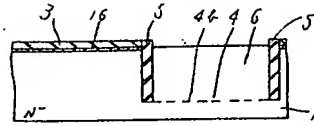
1...半導体基体(シリコンウエハ)、3...マスク層、4...凹部、4a...側壁、5...絶縁物、6...単結晶半導体、7...P型ウエル、12...NチャネルMOSFET、13...PチャネルMOSFET、14...絶縁物分離領域、15...リンイオン、16...リン打込み層、17...ボロンイオン、18...ボロン打込み層、19...N型ウエル。

代理人 弁理士 高橋 明 夫

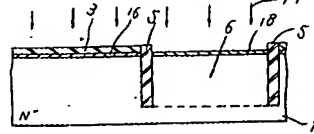




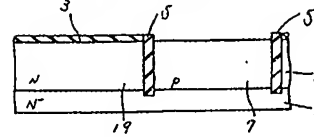
第 1 3 図



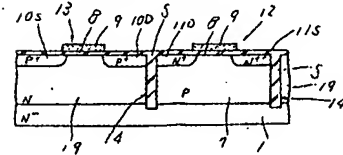
第 1 4 図



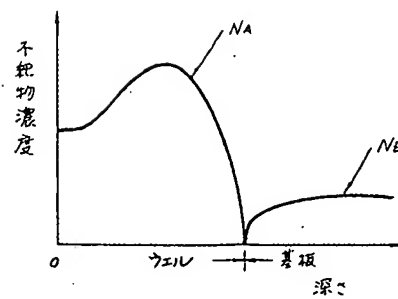
第 1 5 図



第 1 6 図



第 1 7 図



PAT-NO: JP360136330A

DOCUMENT-IDENTIFIER: JP 60136330 A

TITLE: MANUFACTURE OF
COMPLEMENTARY METAL INSULATOR
SEMICONDUCTOR DEVICE

PUBN-DATE: July 19, 1985

INVENTOR-INFORMATION:

NAME

NOJIRI, KAZUO

MEGURO, SATOSHI

ITO, KATSUHIKO

TSUKUNI, KAZUYUKI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP58243898

APPL-DATE: December 26, 1983

INT-CL (IPC): H01L021/76, H01L027/08 , H01L021/20

US-CL-CURRENT: 257/E21.54, 438/416 ,
438/FOR.238

ABSTRACT:

PURPOSE: To enable a narrower and deep isolation region of an insulator to be formed easily, by selectively forming a recess having sheer side walls, providing the insulator selectively on the side walls and thereafter growing single crystal semiconductor within the recess.

CONSTITUTION: A recess 4 when formed by an anisotropic etching process has approximately vertical side walls 4a. A silicon wafer with such a recess is provided with an insulator layer 5 of SiO_2 covering all over the surface including the sheer side walls 4a. The surface is then processed by reactive ion etching so that the insulator 5 is selectively left only on the side walls 4a while the silicon is exposed only on the bottom of the recess 4.

Single crystal silicon is grown within the recess 4 and doped with B so as to form a P type well 7. In N type regions inside and outside the well 7, MOSFET's 12 and 13 with P channels are completed, respectively. The well 7 is surrounded by narrow and deep isolation region 14 consisting of the insulator 5.

COPYRIGHT: (C)1985,JPO&Japio